

DIALOG(R)File 352:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.
003742074

WPI Acc No: 1983-738274/198333

**Active-matrix display panel - has single-gate thin-film transistors
driving LCDs and double-gate transistors driving peripheral circuits.**

NoAbstract

Patent Assignee: SUWA SEIKOSHA KK (SUWA)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 58115850	A	19830709				198333 B

Priority Applications (No Type Date): JP 81212543 A 19811228

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 58115850	A		4		

Title Terms: ACTIVE; MATRIX; DISPLAY; PANEL; SINGLE; GATE; THIN; FILM;
TRANSISTOR; DRIVE; DOUBLE; GATE; TRANSISTOR; DRIVE; PERIPHERAL;
CIRCUIT; NOABSTRACT

Derwent Class: P85; T04; U12; U14

International Patent Class (Additional): G09F-009/35; H01L-027/12;
H01L-029/78

File Segment: EPI; EngPI

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭58—115850

⑬ Int. Cl.³
H 01 L 27/12
G 09 F 9/35
H 01 L 29/78

識別記号

庁内整理番号
8122—5F
7520—5C
7377—5F

⑭ 公開 昭和58年(1983)7月9日

発明の数 1
審査請求 未請求

(全 5 頁)

⑮ アクティブマトリックスパネル

⑯ 特 願 昭56—212543

⑰ 出 願 昭56(1981)12月28日

⑱ 発 明 者 大島弘之

諏訪市大和3丁目3番5号株式

会社諏訪精工舎内

⑲ 出 願 人 株式会社諏訪精工舎

東京都中央区銀座4丁目3番4号

⑳ 代 理 人 弁理士 最上務

明 細 書

1. 発明の名称 アクティブマトリックスパネル

2. 特許請求の範囲

複数本のゲート線および前記ゲート線と直交する複数本のソース線を備え、前記ゲート線と前記ソース線との各交点に半導体薄膜を用いた薄膜トランジスタを有するとともに、前記各ゲート線あるいは前記各ソース線の少なくとも一方の側の駆動回路を薄膜トランジスタにより構成したアクティブマトリックスパネルにおいて、前記ゲート線と前記ソース線との各交点に位置する薄膜トランジスタのゲート電極は前記半導体薄膜の上側もしくは下側の一方のみに形成され、かつ、前記駆動回路に用いられる薄膜トランジスタのゲート電極は前記半導体薄膜の上側および下側の両方に形成されたことを特徴とするアクティブマトリックスパネル。

3. 発明の詳細な説明

本発明は薄膜トランジスタを用いたアクティブマトリックスパネルに関する。

近年、絶縁基板上に薄膜トランジスタを形成する研究が活発に行なわれている。その目的の1つには、安価な絶縁基板を用いた薄形ディスプレイの実現が挙げられる。すなわち、上に薄膜トランジスタをマトリックス状に形成し、そのスイッチング特性を応用して液晶等による薄形ディスプレイを目指すものである。このようにして構成されたアクティブマトリックスパネルは非常に安価に製作できる可能性がある。

薄膜トランジスタをアクティブマトリックスパネルに応用した場合の液晶表示装置は、一般に、上側のガラス基板と、下側の薄膜トランジスタ基板と、その間に封入された液晶とから構成されており、前記薄膜トランジスタ基板上にマトリックス状に配置された液晶駆動素子を外部選択回路により選択し、前記液晶駆動素子に接続された液晶駆動電極に電圧を印加することにより、任意の文

字、図形、あるいは画像の表示を行なうものである。前記薄膜トランジスタ基板の一般的な回路図を第1図に示す。

第1図(a)は薄膜トランジスタ基板上の液晶駆動素子のマトリックス状配置図である。図中の1で囲まれた領域が表示領域であり、その中に液晶駆動素子2がマトリックス状に配置されている。3は液晶駆動素子2へのデータ信号ライン(ソース線)であり、4は液晶駆動素子2へのタイミング信号ライン(ゲート線)である。液晶駆動素子2の回路図を第1図(b)に示す。5は薄膜トランジスタであり、データのスイッチングを行なう。6はコンデンサであり、データ信号の保持用として用いられる。7は液晶パネルであり、7-1は各液晶駆動素子に対応して形成された液晶駆動電極であり、7-2は上側ガラスパネルである。

以上の説明からわかるように、液晶駆動素子内の薄膜トランジスタは、液晶に印加する電圧のデータをスイッチングするため用いられ、このとき薄膜トランジスタに要求される特性は大きく次

の2種類に分類される。
膜トランジスタがOFF状態のときの電流(以下、OFF電流という。)がわずかでも流れると、ドレインの電位(すなわちコンデンサの電位)は急激にソースの電位に近づき、書き込まれたデータは正しく保持されなくなってしまう。したがって、薄膜トランジスタのOFF電流は極力小さくする必要がある。

以上、液晶駆動素子内の薄膜トランジスタに要求される特性について述べたが、以下では、各ゲート線あるいは各ソース線に信号を供給し、各液晶駆動素子を駆動するための周辺回路(以下、駆動回路という。)も薄膜トランジスタで構成した場合、その薄膜トランジスタに要求される特性について述べる。

通常、アクティブマトリックスパネルのゲート線およびソース線は、それぞれ200本程度、合計400本程度が設けられ、それぞれの線に必要な信号を外部から供給しなくてはならない。このために外部回路を設けると、アクティブマトリックスパネルのゲート線およびソース線と外部回路

の2種類に分類される。

- (1) 薄膜トランジスタをON状態にした時、コンデンサを充電させるために十分な電流を流すことができること。
 - (2) 薄膜トランジスタをOFF状態にした時、極力、電流が流れないこと。
- (1)はコンデンサへのデータの書き込み特性に関するものである。液晶の表示はコンデンサの電位により決定されるため、短時間にデータを完璧に書き込むことができるように、薄膜トランジスタは充分大きい電流を流すことができなくてはならない。このときの電流(以下、ON電流という。)は、コンデンサの容量と、書き込み時間とから定まり、そのON電流をクリアできるように薄膜トランジスタを製造しなくてはならない。
- (2)は、コンデンサに書き込まれたデータの保持特性に関するものである。一般に、書き込まれたデータは書き込み時間よりもはるかに長い時間保持されなくてはならない。コンデンサの静電容量は、通常1 μ F程度の小さい値であるため、薄

ととの間の約400本の端子を接続する必要が生じる。したがって、駆動回路はパネル上に液晶駆動素子と同時に形成することが望ましい。これにより、アクティブマトリックスパネルから外部へ取り出す端子数は約10本程度に激減させることが可能となる。この場合のアクティブマトリックスパネルの構成を第2図に示す。8は第1図(a)の1に対応する表示領域であり、その中に液晶駆動素子がマトリックス状に配置されている。9はソース線、10はゲート線である。ソース線9への信号はデータ線11からスイッチ12を介して供給される。スイッチ12の開閉はシフトレジスタ群より成るソース側駆動回路13により行なわれる。ゲート線10へのタイミング信号は、同じくシフトレジスタ群より成るゲート側駆動回路14から直接供給される。ソース側駆動回路は通常高速で動作させる必要がある。例えば、テレビ信号を再生する場合に4MHz程度の周波数で動作させる。このためソース側駆動回路を構成する薄膜トランジスタは大きなON電流を有していなく

てはならない。OFF電流は回路が誤動作しない程度に多くても問題ない。一方、ゲート側駆動回路は高速で動作する必要はないが、数 μ mの長いゲート線を駆動するため、やはり大きなON電流が必要となる。OFF電流は大きい問題とはならない。したがって周辺駆動回路を構成する薄膜トランジスタはソース側もゲート側も、OFF電流が多くてもほとんど問題にならないが、ON電流は極力多くなる特性が要求される。

以上の説明からわかるように、液晶駆動素子内の薄膜トランジスタと駆動回路内の薄膜トランジスタに要求される特性は異なっている。これらの特性を満足させるために従来ではトランジスタサイズを変えて対応していた。すなわち、薄膜トランジスタのチャネル幅 W とチャネル長 L との比 W/L を、液晶駆動素子内の薄膜トランジスタでは小さく、駆動回路内の薄膜トランジスタでは大きくすることにより、それぞれに要求される特性を満たそうとしていた。しかし、この方法では、駆動回路内のトランジスタサイズが極端に大

く説明する。

第3図は半導体薄膜の上側にのみゲート電極を設けた薄膜トランジスタ（以下、シングルゲート薄膜トランジスタという。）の断面構造の1例である。15はガラス等の絶縁基板、16は半導体薄膜、17はソース領域、18はドレイン領域、19はゲート絶縁膜、20はゲート電極、21は層間絶縁膜、22はソース電極、23はドレイン電極である。このような構造の薄膜トランジスタは、ON電流はそれほど大きくできないが、OFF電流を小さくすることができる。本出願人が行った実験によれば、トランジスタサイズを $L=10\mu\text{m}$ 、 $W=10\mu\text{m}$ の小型にしても、数 μA 程度のON電流は比較的容易に得ることができる。これは液晶駆動素子内のスイッチングトランジスタとして用いる場合、データの書き込み電流として十分な値である。また、このときのOFF電流は10 μA 程度にすることが可能であり、データの保持特性を確保する上でも充分低いOFF電流が得られる。したがって、液晶駆動素子内のスイッ

きくなってしまふという欠点を有している。このため、パネル内で駆動回路の占める面積比率が非常に大きくなり、パネル内の製造歩留りが大幅に低下すると共に、コストも上昇する。また、より精密な表示を行なうために、液晶駆動素子のサイズを小さくすると、おのずからソース線間およびゲート線間の間隔も小さくなり、ますます駆動回路を小型化する必要性が高まり、従来の方法の欠点がクローズアップされる。

本発明はこのような欠点を除去するものであり、その目的とするところは、要求された特性を保持したまま駆動回路の面積を減少せしめたアクティブマトリックスパネルを実現することにある。すなわち本発明は、液晶駆動素子内の薄膜トランジスタのゲート電極は半導体薄膜の上側もしくは下側の一方のみに形成され、かつ、駆動回路に用いられる薄膜トランジスタのゲート電極は半導体薄膜の上側および下側の両方に形成されたことを特徴とするアクティブマトリックスパネルを提供するものである。以下、図を参照して本発明を詳し

テングトランジスタとしてはこのシングルゲート薄膜トランジスタが最適といえる。なお、第3図ではゲート電極が半導体薄膜の上側に形成された場合の構造について示したがゲート電極が半導体薄膜の下側に形成された場合の構造でも、上述の内容は同様である。

第4図は半導体薄膜の上側および下側の両方にゲート電極を設けた薄膜トランジスタ（以下、ダブルゲート薄膜トランジスタという。）の断面構造の1例である。24はガラス等の絶縁基板、25は第1ゲート電極、26は第1絶縁膜、27は半導体薄膜、28はソース領域、29はドレイン領域、30は第2のゲート絶縁膜、31は第2のゲート電極、32は層間絶縁膜、33はソース電極、34はドレイン電極である。このようなダブルゲート薄膜トランジスタでは、シングルゲート薄膜トランジスタに比べて、OFF電流、ON電流ともに増加することができる。これは、キャリアを誘起して形成されるチャネルが、半導体薄膜の上層および下層の双方に形成されるためであり、単

純には、ON電流、OFF電流ともに、シングルゲート薄膜トランジスタの約2倍の値が得られる。本発明は、このダブルゲート薄膜トランジスタを駆動回路に用いるものである。ダブルゲート薄膜トランジスタはシングルゲート薄膜トランジスタの約2倍のON電流を有しているから、トランジスタサイズを半分にすることができる。また、OFF電流も2倍流れやすくなるが、トランジスタサイズを半分にできるため、実質的なOFF電流の増加はほとんどない。すなわち、半分のトランジスタサイズで、従来とほとんど同等の特性を得ることができる。この結果、周辺駆動回路の占める面積を従来の約半分に減少させることが可能となる。

最後に、液晶駆動素子内の薄膜トランジスタにダブルゲート薄膜トランジスタを用いず、あえてシングルゲート薄膜トランジスタを用いる理由について述べる。液晶駆動素子内の薄膜トランジスタにダブルゲート薄膜トランジスタを採用すれば、トランジスタサイズを半分にした上で、シングル

ゲート薄膜トランジスタと同等の特性を得ることができるはずであるが、実際には、パターンニング技術の制限からトランジスタサイズを半分にすることはできない。すなわちアクティブマトリックスパネルのような大面積基板における最小パターン寸法は通常 $10\mu\text{m}$ 程度といわれているが、液晶駆動素子に用いられるトランジスタは、 $W=10\mu\text{m}$ のシングルゲート薄膜トランジスタで既に充分な特性が得られており、あえてダブルゲート薄膜トランジスタを採用して $W=5\mu\text{m}$ とすることは無意味である。つまり、パターンニング技術の限界から W は $10\mu\text{m}$ 以上に制限されているため、同等の特性を維持するためには L を2倍にしなければならない。このため、むしろトランジスタの占める面積が増大する結果になってしまう。したがって、液晶駆動素子内の薄膜トランジスタにダブルゲート薄膜トランジスタを採用することは意味がなく、シングルゲート薄膜トランジスタを用いなくてはならない。

以上述べたように、本発明は、液晶駆動素子内

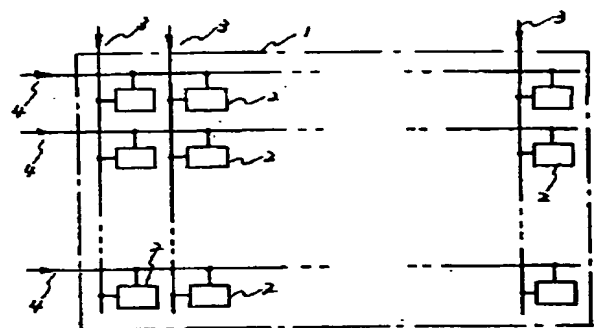
にはシングルゲート薄膜トランジスタを、また周辺駆動回路にはダブルゲート薄膜トランジスタを設けることにより、特性を悪化させることなく、周辺駆動回路の占める面積比率を約半分に減少せしめるという優れた効果を有するものである。

4. 図面の簡単な説明

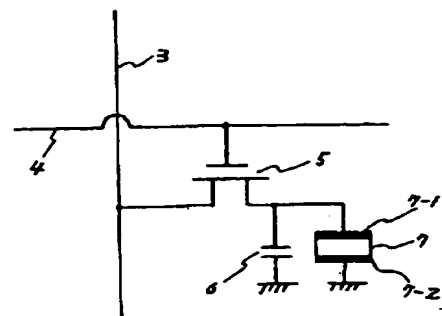
第1図は薄膜トランジスタをアクティブマトリックスパネルに応用した場合の一般的な回路図である。第2図は周辺駆動回路をアクティブマトリックスパネルに内蔵した場合の全体の構成図である。第3図はシングルゲート薄膜トランジスタの断面構成の1例である。第4図はダブルゲート薄膜トランジスタの断面構成の1例である。

以上

出願人 株式会社東海精工
代理人 弁護士 最上 務

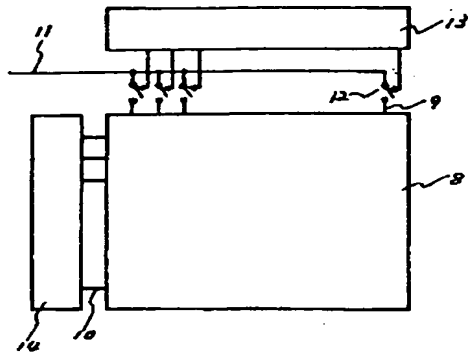


(a)

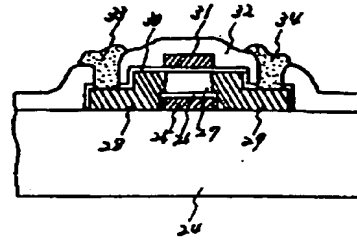


(b)

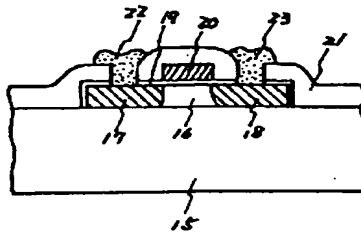
第1図



第 2 図



第 4 図



第 3 図